



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08186086 A**(43) Date of publication of application: **16 . 07 . 96**

(51) Int. Cl.

H01L 21/285**H01L 21/3205****H01L 29/78**(21) Application number: **06327573**(71) Applicant: **NEC CORP**(22) Date of filing: **28 . 12 . 94**(72) Inventor: **URABE KOJI**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

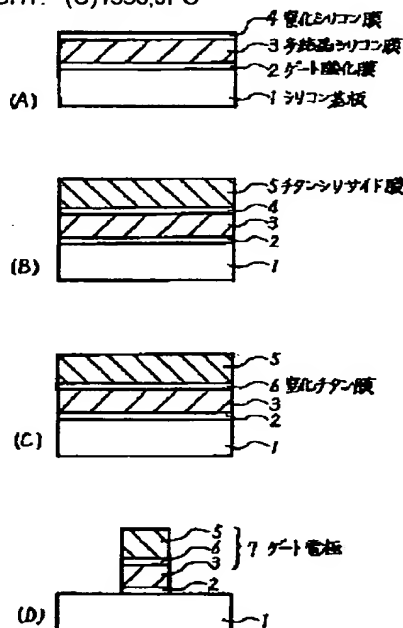
photolithography and dry-etching technique.

(57) Abstract:

COPYRIGHT: (C)1996,JPO

PURPOSE: To introduce the nitrogen of high density into the surface of polycrystalline film by successively forming a polycrystalline silicon film a silicon nitride film and a titanium silicide film and making nitrogen in the silicon nitride film react to titanium in the titanium silicide film by heat treatment to form a titanium nitride film.

CONSTITUTION: A gate oxide film 2 and a polycrystalline silicon film 3 in which phosphorus is doped are formed on a silicon substrate 1. Next, a silicon nitride film 4 is formed in the surface of the polycrystalline silicon film 3 in the atmosphere of ammonium by using a quick thermal nitriding method. Next, a titanium silicide film 5 is formed on the silicon nitride film 4 by a sputtering method using a titanium silicide alloy target. A titanium nitride film 6 is formed by making nitrogen in the silicon nitride film 4 react to titanium in the titanium silicide film 5 by high-temperature heat treatment. Next, a gate electrode 7 comprising the titanium silicide film 5, the titanium nitride film 6 and the polycrystalline silicon film 3 is formed by a



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-186086

(43) 公開日 平成8年(1996)7月16日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/285	3 0 1 T			
21/3205				
29/78				
		H 0 1 L 21/ 88	R	
		29/ 78	3 0 1 G	
		審査請求 有	請求項の数 3	OL (全 4 頁)

(21) 出願番号 特願平6-327573

(22) 出願日 平成6年(1994)12月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 占部 耕児

東京都港区芝五丁目7番1号 日本電気株式会社内

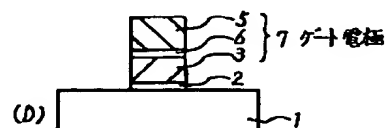
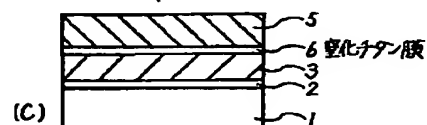
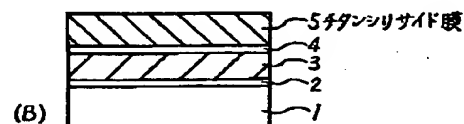
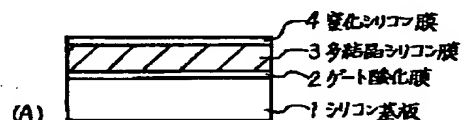
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 半導体装置の電極及び配線において耐熱性を向上させる。

【構成】 シリコン基板1上にゲート酸化膜2と多結晶シリコン膜3と窒化シリコン膜4を形成する。次で窒化シリコン膜4上にチタンシリサイド膜5を形成したのち熱処理し、窒化シリコン膜中の窒素とチタンシリサイド膜中のチタンを反応させる事により窒化チタン膜6を形成する。



【特許請求の範囲】

【請求項 1】 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に多結晶シリコン膜と窒化シリコン膜とチタンシリサイド膜とを順次形成する工程と、熱処理により前記窒化シリコン膜中の窒素と前記チタンシリサイド膜中のチタンとを反応させ窒化チタン膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 2】 多結晶シリコン膜表面のシリコン原子を窒化する事により窒化シリコン膜を形成する請求項 1 記載の半導体装置の製造方法。

【請求項 3】 多結晶シリコン膜上に CVD 法を用いて窒化シリコン膜を形成する請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関し、特にチタンシリサイド膜を用いた低抵抗の電極配線の製造方法に関する。

【0002】

【従来の技術】 半導体装置の製造工程において、例えば低抵抗で電気的特性の安定したゲート電極を形成する場合に、チタンシリサイド膜を用いるポリサイド構造が用いられるが、この時チタンシリサイド膜と多結晶シリコン膜の間に相互拡散防止膜として窒化チタン膜を用いる例が特開昭 63-289867 号公報に記載されている。以下図 2 を用いて説明する。

【0003】 まず図 2 (A) に示すように、シリコン基板 1 上にゲート酸化膜 2 とリンがドーブされた多結晶シリコン膜 3 とを形成する。次で多結晶シリコン膜 3 の表面付近に窒素イオンの注入を行い窒素イオン注入層 8 を形成する。

【0004】 次に図 2 (B) に示すように、窒素イオン注入層 8 上にチタンシリサイド膜 5 をチタンシリサイド合金ターゲットを用いたスパッタ法により形成する。

【0005】 次に図 2 (C) に示すように、高温熱処理により窒素イオン注入層 8 の窒素とチタンシリサイド膜 5 のチタンとを反応させ窒化チタン膜 6 A を形成する。この窒化チタン膜 6 A は多結晶シリコン膜とチタンシリサイド膜との間においてチタン、シリコン及びリンの相互拡散を抑制し安定した電気的特性を得るために設けられたバリヤ層である。

【0006】 次に図 2 (D) に示すように、フォトリソグラフィ技術及びドライエッチング技術を用いて所望の位置にチタンシリサイド膜 5、窒化チタン膜 6 A 及び多結晶シリコン膜 3 から構成されるゲート電極 7 を形成する。

【0007】

【発明が解決しようとする課題】 上述した従来の半導体装置の製造方法では、以下に示す欠点がある。まずイオン注入法を用いて多結晶シリコン膜に窒素を導入してい

るため、窒素濃度は 1 原子%以下でありその分布は幅をもっている。この為、チタンと結合する窒素が不足しているのでチタンリッチな窒化チタン膜 6 A が形成される。従って、十分な相互拡散防止効果が得られない為、多結晶シリコン中の不純物濃度が変化し、 V_T 等の特性が変わる。また、窒化チタン膜形成に寄与しなかった窒素注入層が残存しているため多結晶シリコン膜と窒化チタン膜との間の界面抵抗が高くなり、ゲート電極 7 の抵抗もあまり下らない。

10 【0008】 本発明の目的は、低抵抗でかつ電気的特性の安定した電極配線を有する半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に多結晶シリコン膜と窒化シリコン膜とチタンシリサイド膜とを順次形成する工程と、熱処理により前記窒化シリコン膜中の窒素と前記チタンシリサイド膜中のチタンとを反応させ窒化チタン膜を形成する工程を有することを特徴とするものである。

【0010】

【実施例】 次に本発明について図面を用いて説明する。図 1 (A) ~ (D) は本発明の第 1 の実施例を説明する為の工程順に示した半導体チップの断面図である。

【0011】 まず図 1 (A) に示すように、シリコン基板 1 上に厚さ 5 nm のゲート酸化膜 2 とリンがドーブされた厚さ 50 nm の多結晶シリコン膜 3 を形成する。次で急速熱窒化法を用いてアンモニア雰囲気中で 700 ~ 950℃、10 ~ 60 秒の条件で多結晶シリコン膜 3 の表面を窒化し 0.1 ~ 10 nm の窒化シリコン膜 4 を形成する。また、プラズマ窒化法を用いて表面窒化を行ってもよい。

【0012】 次に、図 1 (B) に示すように、窒化シリコン膜 4 上にチタンシリサイド合金ターゲットを用いたスパッタ法により、圧力 2 ~ 15 mTorr、パワー 1 ~ 4 kW、基板温度 25 ~ 500℃の条件の下で厚さ 100 nm のチタンシリサイド膜 5 を形成する。

【0013】 次に図 1 (C) に示すように、例えば 800℃以上の高温熱処理を行い窒化シリコン膜の窒素とチタンシリサイド膜 5 のチタンとを反応させ、0.1 ~ 10 nm の窒化チタン膜 6 を形成する。この反応により窒化シリコン膜 4 は消滅するが、わずかに残ったとしても電気的特性上問題はない。窒化チタン膜 6 は、多結晶シリコン膜 3 とチタンシリサイド膜 5 の間において、チタン、シリコン及びリンの相互拡散を抑制し安定した電気的特性を得るために設けられたバリヤ層である。また、この高温熱処理工程はソース・ドレインの不純物活性化工程で代用できる。

【0014】 次に図 1 (D) に示すように、フォトリソグラフィ技術及びドライエッチング技術を用いて所望の

位置にチタンシリサイド膜 5、窒化チタン膜 6 及び多結晶シリコン膜 3 より構成されるゲート電極 7 を形成する。

【0015】このような半導体装置の製造方法によれば、従来技術に比べて膜厚が薄く高濃度の窒素を含む窒化シリコン膜をチタンシリサイド膜と反応させる事ができる為、チタンと窒素の原子比が 1 : 1 に近い窒化チタン膜 6 を形成する事ができる。従って高温熱処理工程においてチタンシリサイド膜 5 と多結晶シリコン膜 3 との間のチタン、シリコン及びリンの相互拡散が窒化チタン膜によって抑制される為、安定した電気的特性を有するゲート電極を得ることができる。また、本実施例では多結晶シリコン膜上の窒化シリコン膜の形成方法として急速熱窒化法を用いているので、窒化シリコン膜の薄膜化に対する制御性に優れている。

【0016】次に本発明の第 2 の実施例について説明する。本第 2 の実施例は窒化シリコン膜を CVD 法を用いて形成するものである。

【0017】まず図 1 (A) に示すように、第 1 の実施例と同様にシリコン基板 1 上に 5 nm のゲート酸化膜 2 とリンがドーブされた 50 nm の多結晶シリコン膜 3 を形成する。次に LP-CVD 法あるいはプラズマ CVD 法を用いて多結晶シリコン膜 3 上に 0.1 ~ 10 nm の窒化シリコン膜を形成する。次で窒化シリコン膜上にチタンシリサイド合金ターゲットを用いたスパッタ法により、圧力 2 ~ 15 mT、パワー 1 ~ 4 kW 基板温度 25 ~ 500 °C の条件の下で 50 nm のチタンシリサイド膜を形成する。

【0018】以下第 1 の実施例と同様に高温熱処理を行い窒化チタン膜を形成したのち、フォトリソグラフィ技術及びドライエッチング技術を用いて所望の位置にチタンシリサイド膜、窒化チタン膜及び多結晶シリコン膜より構成されるゲート電極を形成する。

【0019】本第 2 の実施例においても従来技術に比べて膜厚が薄く高濃度の窒素を含む窒化シリコン膜をチタンシリサイド膜と反応させる事ができる為、チタンと窒素の原子比が 1 : 1 に近い窒化チタン膜を形成する事が

できる。従って高温熱処理工程においてチタンシリサイド膜と多結晶シリコン膜との間のチタン、シリコン及びリンの相互拡散が窒化チタン膜によって抑制される為、安定した電気的特性を有するゲート電極を得ることができる。

【0020】また、本第 2 の実施例では多結晶シリコン膜上の窒化シリコン膜の形成方法として LP-CVD 法を用いているので、急速熱窒化法に比べて 2 倍程度生産性が向上する。

10 【0021】尚、上記実施例ではゲート電極の形成の場合について説明したが、低抵抗で安定な特性が要求される他の電極配線に適用できることは勿論である。

【0022】

【発明の効果】本発明による半導体装置の製造方法によれば、多結晶シリコン膜上に窒素シリコン膜を形成する方法として急速熱窒化法あるいは LP-CVD 法を用いているため、多結晶シリコン膜表面に高濃度の窒素を導入する事ができる。従って、チタンシリサイド膜と多結晶シリコン膜との間に化学量論組成に近い窒化チタン膜 20 が得られるため、高温熱処理工程での相互拡散が十分に抑制される。このため低抵抗でかつ安定した電気的特性を有する電極配線が得られるという効果がある。

【0023】

【図面の簡単な説明】

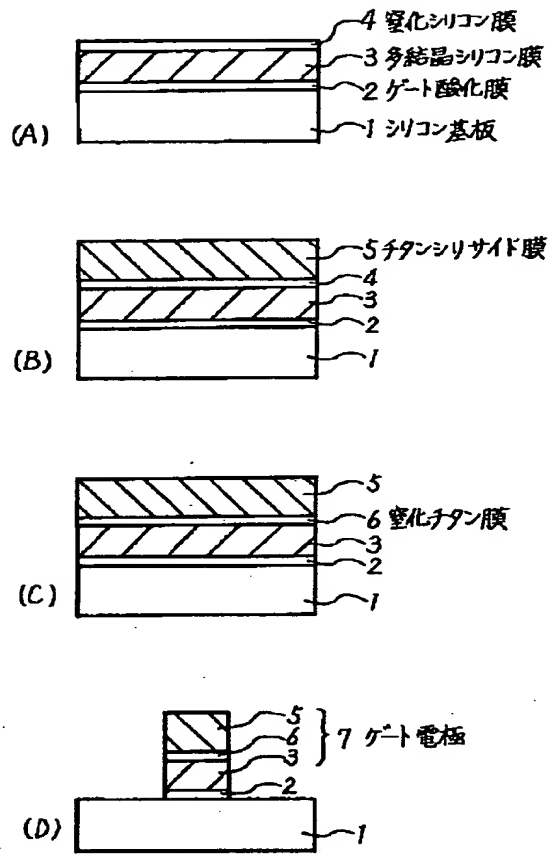
【図 1】本発明の第 1 の実施例を説明する為の半導体チップの断面図。

【図 2】従来の半導体装置の製造方法を説明する為の半導体チップの断面図である。

【符号の説明】

- 30
- 1 シリコン基板
 - 2 ゲート酸化膜
 - 3 多結晶シリコン膜
 - 4 窒化シリコン膜
 - 5 チタンシリサイド膜
 - 6, 6A 窒化チタン膜
 - 7 ゲート電極
 - 8 窒素イオン注入層

【図 1】



【図 2】

